

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-346610
(P2000-346610A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
G 0 1 B	7/28	G 0 1 B	7/28 H 2 F 0 6 3
A 6 1 B	5/117	A 6 1 B	5/10 3 2 2 4 C 0 3 8
G 0 6 T	1/00	G 0 6 F	15/64 G 5 B 0 4 7

審査請求 未請求 請求項の数22 O L (全 14 頁)

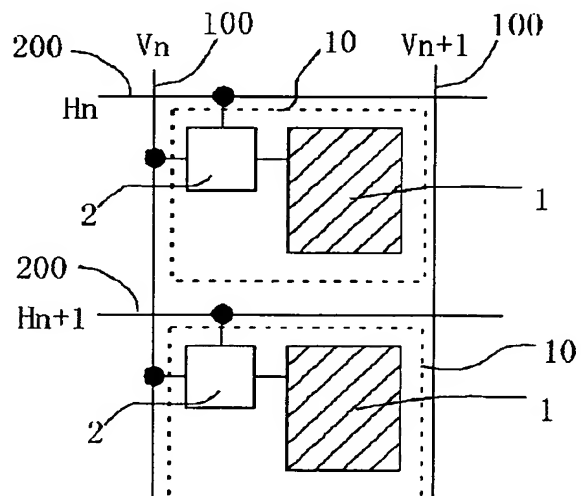
(21) 出願番号	特願平11-348786	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成11年12月8日 (1999. 12. 8)	(72) 発明者	橋戸 隆一 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(31) 優先権主張番号	特願平11-90436	(72) 発明者	浦壁 隆浩 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(32) 優先日	平成11年3月31日 (1999. 3. 31)	(74) 代理人	100102439 弁理士 宮田 金雄 (外2名)
(33) 優先権主張国	日本 (J P)		

最終頁に続く

(54) 【発明の名称】 凹凸検出センサ、凹凸検出装置、指紋照合装置および個人判別装置

(57) 【要約】

【目的】 S/N比の高い凹凸検知センサを提供する。
【解決手段】 感知電極1と、この感知電極近傍の物体と上記感知電極との間に形成される容量を、電圧または電流に変換する変換回路2とからなる感知素子10を、縦N行×横M列のアレイ状に配置し、上記感知素子を、上記アレイの各列に沿って配置された走査線100と、上記アレイの各行に添って配置された出力線200とに接続した。



【特許請求の範囲】

【請求項1】 感知電極と、この感知電極近傍の物体と上記感知電極との間に形成される容量を、電圧または電流に変換する変換回路とからなる感知素子を縦N行×横M列のアレイに配置して感知素子アレイを形成し、上記感知素子が、上記感知素子アレイの各列に沿って配置された走査線と、上記感知素子アレイの各行に添って配置された出力線とに接続されたことを特徴とする凹凸検出センサ。

【請求項2】 上記変換回路が1個のMOSトランジスタで構成され、このMOSトランジスタのゲート電極は上記感知電極に、上記MOSトランジスタのドレイン電極およびソース電極のうち一方の電極は上記走査線に、他方の電極は上記出力線にそれぞれ接続されたことを特徴とする請求項1記載の凹凸検出センサ。

【請求項3】 上記MOSトランジスタをアモルファスシリコン製MOSトランジスタまたは多結晶シリコン製MOSトランジスタとしたことを特徴とする請求項2記載の凹凸検出センサ。

【請求項4】 上記MOSトランジスタと出力線とを接続する配線に、上記MOSトランジスタの端子から上記出力線への向きが順方向となるようにダイオードを設けたことを特徴とする請求項2記載の凹凸検出センサ。

【請求項5】 上記MOSトランジスタと出力線とを接続する配線に、上記MOSトランジスタの端子から上記出力線への向きが順方向となるように上記MOSトランジスタとは別のMOSトランジスタを設けたことを特徴とする請求項2記載の凹凸検出センサ。

【請求項6】 上記感知電極と上記変換回路との接続点にスイッチの一端を接続し、このスイッチの他端を、上記感知素子アレイの各行に沿って配置されたリセット線に接続したことを特徴とする請求項1乃至5のいずれかに記載の凹凸検出センサ。

【請求項7】 上記スイッチは制御端子を有する3端子素子であり、この制御端子を、上記感知素子アレイの各列に沿って配置された制御線に接続したことを特徴とする請求項6記載の凹凸検出センサ。

【請求項8】 上記スイッチは2端子のダイオードであることを特徴とする請求項6記載の凹凸検出センサ。

【請求項9】 上記制御線、あるいは上記リセット線を、隣り合って並ぶ感知素子で共用することを特徴とする請求項6乃至8のいずれかに記載の凹凸検出センサ。

【請求項10】 上記走査線が上記制御線を兼ねていることを特徴とする請求項7記載の凹凸検出センサ。

【請求項11】 ダイオードを、このダイオードの一端を上記感知電極と上記変換回路との接続点に、上記ダイオードの他端を上記走査線に、この走査線に走査信号が印加されている時は上記ダイオードがオフとなる向きに、接続したことを特徴とする請求項1乃至5のいずれかに記載の凹凸検出センサ。

【請求項12】 トランジスタのゲート電極とドレイン電極とを短絡して上記ダイオードを形成したことを特徴とする請求項8または11記載の凹凸検出センサ。

【請求項13】 上記感知素子からのデータを処理する信号処理回路を、上記感知素子と同一の基板に形成したことを特徴とする請求項1乃至12のいずれかに記載の凹凸検出センサ。

【請求項14】 上記感知電極の形状を正方形または長方形とし、アレイ状に配置された上記感知素子のピッチを $50\mu\text{m}$ 以下としたことを特徴とする請求項1乃至13のいずれかに記載の凹凸検出センサ。

【請求項15】 上記縦N行×横M列のアレイにおいて、 N/M が1以上の場合は行方向にアレイを走査し、 N/M が1以下の場合は列方向にアレイを走査することを特徴とする請求項1乃至14のいずれかに記載の凹凸検出センサ。

【請求項16】 上記感知電極上に誘電体を堆積させたことを特徴とする請求項1乃至15のいずれかに記載の凹凸検出センサ。

【請求項17】 上記感知素子および信号処理回路からなるセンサを誘電体基板上に形成したことを特徴とする請求項1乃至16のいずれかに記載の凹凸検出センサ。

【請求項18】 上記感知電極を、変換回路および配線とは別層に形成し、かつ物体に近い側に上記感知電極を配置したことを特徴とする請求項1乃至17のいずれかに記載の凹凸検出センサ。

【請求項19】 上記感知素子および信号処理回路からなる凹凸検出センサを画像表示デバイスと同一の基板に形成したことを特徴とする請求項1乃至18のいずれかに記載の凹凸検出装置。

【請求項20】 少なくとも1人の識別された指紋を照合させる指紋照合装置であって、請求項1乃至18のいずれかに記載の凹凸検出センサを、指紋を検知するセンサとして用いたことを特徴とする指紋照合装置。

【請求項21】 請求項20の指紋照合装置を備えたことを特徴とする個人判別装置。

【請求項22】 物体が凹凸検出センサにアクセスする部分に、電源に接続された可動な導体を設けたことを特徴とした凹凸検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、指紋のような物体の凹凸形状を容量値分布として捉え、その分布を電気的に検出するセンサに関する。

【0002】

【従来の技術】物体の凹凸形状を検知する為の装置としての指紋センサがWO97/40744号公報に示されている。このシステムに用いられている指紋センサの主要部を示す回路図を図31に示す。この回路がアレイ状になって指紋センサを構成する。図において、12は感知素子で、

上に置かれた指紋との間で容量を形成する感知電極14からなる。本例では、センサ上に指紋が存在した時だけ、指紋と感知電極14間に容量が生じる。走査前にスイッチング素子16を通じて第1の走査線18から、生じた容量に電荷が貯められる。そして走査時に第2のスイッチング素子17が、第2の走査線（出力線）20にこの電荷が出力されるよう動作する。この時、指紋の凹凸によって感知電極14との距離が異なるので容量値が異なる。従って、容量に貯められた電荷量が異なるので、この電荷量を第1及び第2の走査線18,20を走査することで2次元状に測定して指紋の凹凸パターンが得られる。指紋と感知電極で構成される容量が小さいために保持される電荷量が小さい。このため、ここでは、出力線20の先に電荷増幅器を設けて電荷を増幅して、S/N比を向上している。

【0003】

【発明が解決しようとする課題】しかし、この構成では、微少な電荷量を読み取るために高性能な電荷量を読み取る回路が必要となる。また出力線上のノイズの影響を受け易い。さらには、人体の静電気の影響でセンサが破壊される恐れがあった。

【0004】そこで、本発明は、S/N比のさらに高い凹凸検出センサを提供することを第1の目的とする。

【0005】また、集積度の高いもの、分解能の良いもの、製造プロセスが単純化できるもの、劣化が少ないもの、低コスト化できるものを提供することを第2の目的とする。さらに、静電気の影響でセンサが破壊されないものを提供することを第3の目的とする。さらにまた、確実に壊れ難い個人判別装置を提供することを第4の目的とする。

【0006】

【課題を解決するための手段】請求項1の発明に係る凹凸検出センサは、感知電極とこの感知電極近傍の物体との間に形成される容量を、電圧または電流に変換する変換回路と上記感知電極とからなる感知素子を縦N行×横M列のアレイ状に配置し、上記感知素子を、上記アレイの各列に沿って配置された走査線と、上記アレイの各行に添って配置された出力線とに接続したものである。

【0007】請求項2の発明に係る凹凸検出センサは、変換回路が1個のMOSトランジスタで構成され、このMOSトランジスタのゲート電極は感知電極に、上記MOSトランジスタのドレイン電極およびソース電極のうち一方の電極は上記走査線に、他方の電極は上記出力線にそれぞれ接続されたものである。

【0008】請求項3の発明に係る凹凸検出センサは、MOSトランジスタをアモルファスシリコン製MOSトランジスタまたは多結晶シリコン製MOSトランジスタとしたものである。

【0009】請求項4の発明に係る凹凸検出センサは、MOSトランジスタと出力線とを接続する配線に、上記MOSトランジスタの端子から上記出力線への向きが順方向と

なるようにダイオードを設けたものである。

【0010】請求項5の発明に係る凹凸検出センサは、MOSトランジスタと出力線とを接続する配線に、上記MOSトランジスタの端子から上記出力線への向きが順方向となるように上記MOSトランジスタとは別のMOSトランジスタを設けたものである。

【0011】請求項6の発明に係る凹凸検出センサは、感知電極と上記変換回路との接続点にスイッチの一端を接続し、このスイッチの他端を、各行に沿って配置されたリセット線に接続したものである。

【0012】請求項7の発明に係る凹凸検出センサは、スイッチは制御端子を有する3端子素子であり、この制御端子を、各列に沿って配置された制御線に接続したものである。

【0013】請求項8の発明に係る凹凸検出センサは、スイッチが2端子のダイオードであるものである。

【0014】請求項9の発明に係る凹凸検出センサは、制御線、あるいはリセット線を、隣り合って並ぶ感知素子で共用するものである。

10 【0015】請求項10の発明に係る凹凸検出センサは、走査線が上記制御線を兼ねているものである。

【0016】請求項11の発明に係る凹凸検出センサは、感知電極と上記変換回路との接続点に、ダイオードの一端を、このダイオードの他端は上記走査線に、この走査線に走査信号が印加されている時は上記ダイオードがオフとなる向きに接続したものである。

【0017】請求項12の発明に係る凹凸検出センサは、トランジスタのゲート電極とドレイン電極とを短絡して上記ダイオードを形成したものである。

30 【0018】請求項13の発明に係る凹凸検出センサは、感知素子からのデータを処理する信号処理回路を上記感知素子と同一の基板に形成したものである。

【0019】請求項14の発明に係る凹凸検出センサは、感知電極の形状を正方形または長方形とし、アレイ状に配置された感知素子のピッチを50 μ m以下としたものである。

【0020】請求項15の発明に係る凹凸検出センサは、上記縦N行×横M列のアレイにおいて、N/Mが1以上の時は行方向にアレイを走査し、N/Mが1以下の場合は列方向にアレイを走査するものである。

【0021】請求項16の発明に係る凹凸検出センサは、感知電極上に誘電体を堆積させたものである。

【0022】請求項17の発明に係る凹凸検出センサは、感知素子および信号処理回路からなるセンサを誘電体基板上に形成したものである。

【0023】請求項18の発明に係る凹凸検出センサは、感知電極を、変換回路および配線とは別層に形成し、かつ物体に近い側に上記感知電極を配置したものである。

50 【0024】請求項19の発明に係る凹凸検出装置は、

感知素子および信号処理回路からなるセンサを画像表示デバイスと同一の基板に形成したものである。

【0025】請求項20の発明に係る指紋照合装置は、少なくとも1人の識別された指紋を照合させる指紋照合装置であって、請求項1乃至15記載の凹凸検出センサを指紋を検知するセンサとして用いたものである。

【0026】請求項21の発明に係る個人判別装置は、請求項20の指紋照合装置を備えたものである。

【0027】請求項22の発明に係る凹凸検出装置は、物体がセンサにアクセスする部分に電源に接続された可動な導体を設けたものである。

【0028】

【発明の実施の形態】実施の形態1. 図1は、この発明の実施の形態1による凹凸検出センサの構成を示す回路図である。ここで1は感知電極、2は容量-電圧変換回路または容量-電流変換回路である。感知電極1と変換回路2とで一つの感知素子10を構成しており、この感知素子10が縦N行×横M列のアレイ状に配列されて感知素子アレイを構成している。この感知素子アレイの各列に沿って走査線100が配置されており、各行に沿って出力線200が配置されている。

【0029】物体の凹凸によって感知電極1と物体の間には空気などが充填された間隙が生じる。即ち、感知電極1と物体の間に物体の凹凸に依存した容量値をもつ容量（感知容量）が発生する。

【0030】容量値を測定するために容量-電圧変換回路または容量-電流変換回路が必要となる。ここで寄生容量による影響を小さくするために、これらの変換回路2を各感知素子10に組み込むとS/N比を向上できる。またこれらの変換回路2に増幅機能を組み込むことで従来方法に比べて、大幅にS/N比を向上できる。従って、走査線100および出力線200を電気的に走査することでそれぞれの容量値を測定、物体の凹凸が二次元的に得られる。

【0031】従来は、アレイ内の感知容量に貯えられた電荷をアレイ外で読み取っていた。しかし感知容量が小さいと保持される電荷が小さい為に、リード線の寄生容量と感知容量とで容量移行を生じ、S/N比が低下する。本実施の形態のように各アレイに容量の変換回路2を組み込むことで、リード線の寄生容量が問題とならないような出力信号が可能となる。

【0032】実施の形態2. 図2は、この発明の実施の形態2による凹凸検出センサの構成を示す回路図である。ここで3はMOSトランジスタである。MOSトランジスタ3のゲート電極が感知電極1に接続されている。また、ドレイン電極、ソース電極の一方の電極が走査線100に、他方の電極が出力線200に接続されている。ここでMOSトランジスタ3は容量（トランジスタ容量）を持つので、MOSトランジスタ3のゲート電極と感知電極2を接続すると、感知容量とトランジスタ容量が直列接続とな

る。例えば、感知容量の容量値を C_f 、トランジスタ容量の容量値を C_t 、走査信号線のオン時の信号レベルを V_{on} 、オフ時の信号レベルを V_{off} 、物体表面の電位を V_f 、トランジスタ3のゲート電圧を V_g とする。これより【0033】

【数1】

$$V_g = \begin{cases} \frac{C_f}{C_t + C_f} (V_f - V_{on}) & (\text{オン時}) \\ \frac{C_f}{C_t + C_f} (V_f - V_{off}) & (\text{オフ時}) \end{cases}$$

(1)

となる。これよりトランジスタ3のゲート電圧 V_g が感知容量 C_f によって異なるので、トランジスタの出力電流は感知容量に依存する。即ち、容量-電流変換回路となる。

【0034】また、このトランジスタ3の出力端に容量などを接続しておけば、出力電流に応じた電荷が貯えられる。即ち、感知容量に依存した出力電圧が得られる。即ち、容量-電圧変換回路となる。走査線100および出力線200を走査することにより、これら出力電流、出力電圧を二次元状に測定し、解析することで物体の二次元状の凹凸を検知することができる。

【0035】通常、容量-電圧変換回路または容量-電流変換回路を構成するには増幅器や容量など幾つかの素子が必要となり構成が複雑である。しかし、本構成ではたった一つのトランジスタ3で容量-電流変換機能を持たせているために、構成が単純となり、感知素子の占有面積を減少できる。

【0036】また本構成では容量変化の信号をトランジスタ3のゲート電極に入力し増幅していることが大きな特徴である。この構成では容量変化の信号を増幅させて出力させるために、従来方法のトランジスタのドレイン電極に容量変化の信号を入力する方法に比べ、S/N比が大幅に向上できる。

【0037】実施の形態3. 図3は、この発明の実施の形態3による凹凸検出センサの構成を示す回路図である。ここで、3a、3bはP型MOSトランジスタであり、それぞれの閾値電圧は同じで V_{th} であるとする。

【0038】初期状態として出力線Hnは0Vである。また、ある走査線VnがHIGH以上（例えば3V以上）になると、他の走査線はLOW（例えば0V）である。いま、走査線VnがHIGHになったとする。この時、P型MOSトランジスタ3aのソース端は走査線Vnに接続されている方の端子となり、出力線Hnに接続されているもう一方の端子はドレイン端として働く。この時、数式(1)に従って、P型MOSトランジスタ3aのゲート電圧 V_{gs} はある有限値を取る。そして、P型MOSトランジスタ3aのゲート電極とソース電極の電位差 V_{gs} が $V_{gs} = |V_g - V_n| \geq |V_{th}|$ を満

たすと、P型MOSトランジスタ3aはON状態となり、出力線Hnに電流を流し始める。この電流によって出力線Hnの電位 V_{Hn} は上昇していく。また、P型MOSトランジスタ3bに於いて、一方の端子の電位 V_{n+1} は0Vであり、もう一方の端子の電位 V_{Hn} は有限値($>0V$)になるので、P型MOSトランジスタ3bのソース端は出力線Hnに接続されている端子となり、ドレイン端は走査線 V_{n+1} に接続されている端子となる。

【0039】一方で出力線Hnの電位上昇に従い、P型MOSトランジスタ3bのゲート電圧 V_{gs} はP型MOSトランジスタ3aと同様にある有限値を取るようになる。ゲート電位 V_{gs} は出力線Hnの電位上昇に伴って上昇して行き、P型MOSトランジスタ3bのゲート電極とソース電極の電位差 V_{gsb} が $V_{gsb} = |V_{gs} - V_{Hn}| \geq |V_{th}|$ を満たすとP型MOSトランジスタ3bはオン状態となる。

【0040】本センサの出力は他の処理回路へ入力される。しかし通常、その処理回路の入力インピーダンスはオン状態となったP型MOSトランジスタ3bの入力インピーダンスに比べて十分高いので、 $V_{gsb} > |V_{th}|$ 以上になった時にP型MOSトランジスタ3aから流れる電流はP型MOSトランジスタ3bを通して、電位がLOWに固定された走査線 V_{n+1} に流れ込む。従って、出力線Hnの電位 V_{Hn} はP型MOSトランジスタ3bが電流を流し始める電位以上にはならない。通常の動作で出力線Hnのとれる電位の範囲は $0 < V_{Hn} < |V_{th}|$ である。

【0041】このように、P型MOSトランジスタ3a、3bの閾値電圧 V_{th} の大きさによって本センサの出力ダイナミックレンジが制限され、閾値電圧 V_{th} が大きいと出力ダイナミックレンジは大きくなり、小さいと出力ダイナミックレンジは小さくなる。

【0042】ここで単結晶シリコン(Si)製MOSトランジスタを用いて本センサを構成する場合、P型MOSトランジスタの閾値電圧は通常 $V_{th} = 0.7V$ ぐらいと小さい。そこで、出力ダイナミックレンジが大きくなるように、例えばイオン打ち込み方によって、Nチャネルにおいてゲート酸化膜下の半導体表面にホウ素を導入することにより、閾値電圧 V_{th} を例えば $0.8V$ 以上となるように、故意に大きく制御することでS/N比の向上がはかれる。また製造プロセスでアレイ部分に配置されるMOSトランジスタだけ閾値電圧 V_{th} を大きくすれば、周辺回路部分に配置されるMOSトランジスタの動作周波数はそのまま、出力ダイナミックレンジを向上できる。

【0043】一方で、単結晶Si製MOSトランジスタ以外の素子、例えばアモルファスSi製MOSトランジスタや低温多結晶Si製MOSトランジスタや高温多結晶Si製MOSトランジスタなどは元々閾値電圧 V_{th} が大きい($2V < |V_{th}| < 5V$ ぐらい)ということが問題となっている。しかし、本実施の形態にこれらの閾値電圧 V_{th} が大きい素子を用いると単結晶Si製MOSトランジスタを用いるより出力ダイナミックレンジの大きな凹凸検出センサを製作でき

る。

【0044】なお、上記説明では一例としてMOSトランジスタをP型MOSトランジスタとしたが、N型MOSトランジスタに変更にしても同様の効果が得られる。

【0045】実施の形態4. 図4は、この発明の実施の形態4による凹凸検出センサの構成を示す回路図である。上記実施の形態3で本センサの出力ダイナミックレンジがP型MOSトランジスタの閾値に束縛されることを示した。そこで本実施の形態では、図4に示すように、P型MOSトランジスタ3と出力線200とを接続する配線にP型MOSトランジスタ3の端子から出力線200への向きが順方向となるようにダイオード9を設けた。これにより、出力線200から他の走査していないP型MOSトランジスタを通じて走査線100へ電流が流れることがなくなる。従って、出力線200の電位はP型MOSトランジスタ3の閾値以上に上昇できるので、P型MOSトランジスタの閾値の制限を受けることなく出力ダイナミックレンジを大きくできる。なお、上記説明では一例としてMOSトランジスタをP型MOSトランジスタとしたが、N型MOSトランジスタに変更にしても同様の効果が得られる。

【0046】実施の形態5. 図5は、この発明の実施の形態5による凹凸検出センサの構成を示す回路図である。図において、11はN型MOSトランジスタである。本実施の形態では図5に示すように、P型MOSトランジスタ3と出力線200とを接続する配線にP型MOSトランジスタ3の端子から出力線200への向きが順方向となるようにN型MOSトランジスタ11を設けた。すなわち、N型MOSトランジスタ11のゲート端子を走査線100に接続し、N型MOSトランジスタの残りの2つの端子を出力線200とP型MOSトランジスタ3にそれぞれ接続するようにした。N型MOSトランジスタ11をこのように接続すると、走査したライン、例えば V_n 、につながっているアレイのN型MOSトランジスタ11だけ導通し、他の走査していないライン、例えば V_{n+1} 、につながっているアレイのN型MOSトランジスタ11は導通しない。従って、P型MOSトランジスタ3から流れる電流は出力線200にだけ流れ込むので、出力線200の電位はP型MOSトランジスタ3の閾値以上に上昇でき、P型MOSトランジスタの閾値の制限を受けることなく出力ダイナミックレンジを大きくできる。さらに、本実施の形態によれば、実施の形態4のようにダイオードを用いることなく、MOSトランジスタだけでセンサを構築できる。なお、P型MOSトランジスタ3とN型MOSトランジスタ11が逆であっても、また、同じ型のMOSトランジスタであっても、それぞれに対応して変換回路として用いられるMOSトランジスタと出力線200とを接続する配線に、このMOSトランジスタの端子から出力線200への向きが順方向となるように別のMOSトランジスタを接続することにより同様の効果が得られる。

【0047】実施の形態6. 図6および図7は、この発明の実施の形態6による凹凸検出センサの構成を示す回

路図である。図6は図1の回路にスイッチを設けた構成である。図7は図2の回路にスイッチを設けた構成である。ここで300は感知素子のアレイの行に沿って配置されたリセット線、4はスイッチである。

【0048】感知電極1と容量-電圧変換回路または容量-電流変換回路2の接続点1000には、感知容量を測定した後に十分時間が経たなければ残留電荷が生じることがある。この残留電荷は S/N 比を悪化させるので、図6および図7のようなリセット線300に接続したスイッチ4を設けて最適なリセットタイミングで消去させる。本構成により残留電荷の影響を除去でき、 S/N 比を向上させることができる。

【0049】実施の形態7. 図8と図9は、この発明の実施の形態7による凹凸検出センサの構成を示す回路図である。図8は図6の感知素子をリセット線300に対して上下対称に配置している。図9は図7の感知素子をリセット線300に対して上下対称に配置している。

【0050】スイッチ4を設けるとリセット線300が必要となるので、アレイ全体の面積が大きくなってしまう。そこで図のように隣り合った二つの感知素子でリセット線300を共有すると、リセット線300の本数が従来に比べて半分にできる。本構成により削減された配線の面積分だけ、センサの集積度が向上するほか、それら配線によって生じた寄生容量などによる S/N 比の低下を防げる。

【0051】実施の形態8. 図10、図11、図12および図13は、この発明の実施の形態8による凹凸検出センサの構成を示す回路図である。図10、図11、図12および図13はそれぞれ図6、図7、図8および図9にスイッチの制御端子を指定した構成図であり、400がスイッチ41に設けられた制御端子を示す。

【0052】スイッチ41を設けるとスイッチ41を制御する制御線が必要となるので、アレイ全体の面積が大きくなってしまう。リセットは感知素子を走査していない時に行われれば良い。図10乃至13のようにスイッチ41の制御端子400を走査線100に接続すれば、走査信号をスイッチ制御に用いれば、スイッチ41の制御線は別に設ける必要がない。即ち、走査している時はオフとなり、走査していない時はオンとなるようなスイッチング特性のスイッチ41を用いることでリセットが可能となる。

【0053】本構成によりスイッチ41の制御線が無くなるので、センサの集積度が向上する。また、スイッチ41の制御線が無くなるために、大幅な雑音低下が可能となり S/N 比が向上する。

【0054】実施の形態9. 図14、図15、図16および図17は、この発明の実施の形態9による凹凸検出センサの構成を示す回路図である。図14、図15、図16および図17はそれぞれ図6、図7、図8および図9のスイッチ4をダイオードにした構成であり、5がダイオードである。

【0055】ここで、図18にリセット時に於ける感知

要素の各ノード電位の変化を示す。 $V_n > V_{th}$ 、 $V_L < V_{th}$ 、リセット線300の最高電位を V_n 、リセット時のリセット線300の電位を V_L 、ダイオード5に順方向にかかる電圧を V_0 、ダイオード5の閾値電圧を V_{th} とする（ここでは簡単のため $V_L = 0V$ とする）。接続点1000の電位 V_{1000} は $0 \leq V_{1000} \leq V_n$ である。ダイオード5は順方向に閾値電圧 V_{th} 以上の電圧がかかると導通し、それ以下の電圧または逆方向にかかる電圧では導通しない。

【0056】まずリセットをしていない時は $V_0 = V_{1000}$ 、 $-V_n \leq 0$ なのでダイオード5が導通せず、容量に応じた信号が出力される。ここでリセットをする時は $V_0 = V_{1000}$ 、 $-V_L = V_{1000}$ となるので、例1のように $V_{1000} > V_{th}$ であれば、ダイオード5は導通し、 $V_{1000} = V_{th}$ となる。また例2のように $V_{1000} < V_{th}$ であれば、ダイオード5は導通せず V_{1000} はもとの電位のままである。従って、本構成によってリセット後に接続点1000の電位 V_{1000} は必ず $V_{1000} < V_{th}$ となる。

【0057】本構成によりアレイ内の全感知素子の接続点1000に於ける電位が、走査前に必ず V_{th} 以下の電位に規格化されているために、 S/N 比が向上する。またスイッチをダイオードにすることでスイッチの制御線が要らず、分解能が向上できる。

【0058】実施の形態10. 図19と図20は、この発明の実施の形態10による凹凸検出センサの構成を示す回路図である。図19および図20は、それぞれ図1および図2にダイオードを設けた構成であり、5がダイオードである。実施の形態10ではリセット線を設けずに、代わりにダイオード5を走査線100に接続している。接続点1000と走査線100の間を、走査信号レベルがオンとなっている時にダイオード5がオフとなり、走査信号レベルがオフとなっている時にダイオード5がオンとなるような整流方向でダイオード5を接続することによってリセット線無くすることができる。

【0059】本構成によりリセット線が無くなるので S/N 比が向上し、且つ、集積度の向上が可能となる。

【0060】実施の形態11. 図21および図22は実施の形態11による凹凸検出センサの構成を示す回路図である。ダイオードを通常のPN接合などを用いたダイオードではなく、MOSトランジスタのゲート電極とドレイン電極を接続したものとすることによりMOSプロセスだけでセンサを製造できる。図21は、容量-電流変換回路としてMOSトランジスタを用いたものに、スイッチをp型MOSトランジスタ6とした構成を設けた構成で、図22は、容量-電流変換回路としてMOSトランジスタを用いたものに、スイッチをn型MOSトランジスタ7とした構成である。

【0061】n型MOSトランジスタ7とp型MOSトランジスタ6のどちらを用いるかは制御信号、出力信号の違いによって最適な方を選ぶ。通常n型MOSトランジスタ7はp型MOSトランジスタ6に比べ、電流を短時間で大きく流せる

ので、リセットが早く完了できる。

【0062】本構成によりダイオードを製造するためのプロセスが要らず、MOSプロセスだけの工程でセンサを製造できるのでコストの減少が可能となる。

【0063】実施の形態12. センサ内部に感知素子アレイからのデータを測定する信号処理回路を組み込むことにより、センサ以外の周辺回路の設計を容易にするるとともに、チップ内部で信号処理をすることにより S/N 比を向上させることができる。

【0064】図23に周辺回路を組み込んだブロック図の一例を示す。100、200および300はそれぞれこれまでの実施の形態で示した走査線、出力線、およびリセット線を示す、2001は走査信号発生回路、2002は信号処理回路、2000は感知素子アレイである。図24と図25は信号処理回路の一例であ、8は読み出しスイッチ、500は信号出力線、3000、3001は信号変換回路である。図24のように各リード線に信号変換回路3000を一つずつ設けると、信号変換回路の動作周波数は小さくできる利点がある。但し、この場合チップ占有面積が大きくなる。また、図25のように信号変換回路3001を信号出力線500に1つだけ設けると、信号変換回路のチップ占有面積を小さくできる利点がある。但し、この場合動作周波数が大きくなる。

【0065】実施の形態13. 上記各実施の形態の凹凸検出センサを指紋センサとして利用する場合、指紋はその特性上凹凸が一定周期で連続して現われる。感知電極の形状を丸形や台形ではなく正方形又は長方形にすることによって、一定周期で連続した凹凸に対する設置面積を有効的に増加できる。ここで、指紋のピッチは子供でおよそ100 μ mといわれているために、感知電極の間隔が50 μ m以下であれば指紋を十分判別できる分解能を有する。

【0066】実施の形態14. また、感知素子アレイの縦横比すなわち、縦N行×横M列のアレイにおいて、N/Mの値を考慮し、1以上の時は行(横)方向にアレイを走査し、1以下の場合は列(縦)方向にアレイを走査するような構成とすることもできる。感知素子からの信号はリード線を介して信号処理回路に送られる。リード線はアレイ内に於いて必ず走査信号線と走査信号線数分だけ交差する部分が生じる。また各種配線と交差する部分も生じる時がある。このような交差部分は寄生容量となるために、 S/N 比を悪化させてしまう。従って、測定する物体の縦横比を考慮して、リード線が各種配線と交差する回数が小さくなるように構成することで S/N 比を向上できる。

【0067】実施の形態15. また、感知電極上に誘電体を堆積させた構成とすることもできる。アレイ全体の面積を大きく取れない場合、空気の誘電率で決まる感知容量の変動は小さい。そこで感知容量と直列接続となるような容量を付加させると感知容量の変動を感度良く検

知できたため、センサの S/N 比を改善できる。また感知電極の劣化を保護する効果がある。

【0068】実施の形態16. さらに、センサを通常のSi製基板上に製作するのではなく誘電体基板上に製作させる構成とすることもできる。Si製基板は導電性があるために基板と回路との間で寄生容量を発生させ、 S/N 比を悪化させる。浮遊状態にある容量はその存在を無視できるので、誘電体基板上にセンサを製作することで S/N 比を改善できる。また基板として高価なSiを用いずにすむのでコストが減少できる。

【0069】実施の形態17. 図26は、この発明の実施の形態17による凹凸検出センサの構成を説明する図であり、(a)は本実施の形態による凹凸検出センサの構成を示す断面図、(b)は比較例による凹凸検出センサの構成を示す断面図である。図において、101は走査線や出力線などの配線、11000は基板、12000は保護膜、13000は絶縁材である。本実施の形態では、図26(a)に示すように、基板11000の上に容量を電圧または電流に変換する変換回路2と配線101を形成し、その上に絶縁材13000を介して感知電極1を形成し、さらにその上に保護膜12000を形成している。すなわち、感知電極1と、変換回路2および配線101とは別層に形成し、被検体となる物体に近い側に感知電極1を配置した。

【0070】上記各実施の形態1~16で示した凹凸検出センサを実際に基板11000上に形成する場合、通常は、図26(b)に示したように、基板11000上の同じ層に感知電極1と、変換回路2と、配線101とを形成する構成が考えられる。しかしながら、このような構成では変換回路2や配線101が保護膜12000だけを介して表面すなわち被検体である物体につながることになる。

【0071】従って、凹凸を検出したい物体(被検体)が電荷を持っていた場合、物体がセンサの表面に触れた瞬間に瞬時電流が保護膜12000を介してセンサに流れ込み、変換回路2自体や配線101を通じて周辺回路が絶縁破壊してしまう。また、変換回路2としてMOSTランジスタを用いた場合、通常の製造プロセスによって作られる単結晶Si製MOSTランジスタはサイズが小さいが、他の方式を用いて作られるMOSTランジスタ、例えば、アモルファスSi製MOSTランジスタや、低温多結晶Si製MOSTランジスタや高温多結晶Si製MOSTランジスタなどは、単結晶Si製MOSTランジスタとほぼ同じ性能を出すためには、ランジスタのサイズを大きくする必要がある。また一方で、アレイに用いている感知電極1は凹凸を検出するためにある程度の面積が必要である。従って、変換回路2と感知電極1を同層に製作するとアレイピッチが大きくなってしまい、解像度が悪化してしまう。

【0072】これに対して本実施の形態によれば、図26(a)に示すように、感知電極1と、変換回路2および配線101とは別層に形成し、被検体となる物体に近い側に感知電極1を配置しているので、変換回路2や配線101は、絶

縁材13000、感知電極1および保護膜12000を介して表面につながることで、被検体が持つ電荷による瞬時電流はこれらの層によって遮られるために、変換回路2や周辺回路などの絶縁破壊が防止される。さらに、本実施の形態によってアレイピッチを縮小できるという効果も得られる。

【0073】なお、図26(a)では変換回路2と配線101とは同じ層に配置した場合を示したが、別の層に配置してもよいのは言うまでもない。

【0074】実施の形態18. さらには、図27に示すように、センサを画像表示デバイスと一緒に造り込んで凹凸検出装置とすることもできる。図27において、10000はTFTのような画像表示デバイス、4000は凹凸検出センサであり、これらは1枚の基板11000に形成している。利用者が画面表示にしたがって情報を入力する方法に於いて、従来は画像表示デバイス上にシート状のセンサを貼り付けていたためコストが高かった。本構成ではセンサへの入出力基板を画像表示デバイスの入出力基板と共用することでコストが減少できる。

【0075】実施の形態19. さらに、センサ、メモリ、電源とマイクロプロセッサなどを備え、単体で少なくとも一人の識別された指紋を照合する装置としてもよい。例えば、図28に示すように、画像表示デバイス10000、凹凸検出センサ4000、演算システム30000を一つの指紋照合装置12000として構成することにより、他の演算システムから隔離された場所でも使用できる。例えば、扉などである。また外部との接続がないので、情報のやり取りを妨害しにくくなる。従って、安全性が向上する。

【0076】実施の形態20. 上述の実施の形態で示した凹凸検出センサは現金自動預け払い機またはクレジットカード認証機などの個人判別装置に用いることができる。従来は暗証番号だけで本人を確認していたが、指紋などの身体的特徴を認識することで安全性が飛躍的に向上できる。

【0077】実施の形態21. 図29は、この発明の実施の形態21による凹凸検出装置の一例を示す図である。4000は凹凸検出センサ、5000は装置の筐体、6000は導体、7000は衝撃吸収装置である。通常物体は浮遊電位を持っている。従って、直接センサ4000と物体を接触させると、センサ4000が絶縁破壊を起こす場合がある。

【0078】本構成ではまず物体は導体6000に接触する。導体6000は電源に接続され、物体が持っていた電荷を電源に流す。次に物体の凹凸を読み取るために、物体を押すと衝撃吸収装置7000が縮み、物体表面がセンサ4000に接触する。そしてセンサ4000が動作し、物体の凹凸を検出する。このようにして、物体がセンサ4000に接触する前に必ずアースなどに接触するよう、物体がセンサ4000にアクセスする部分に電源に接続された可動な導体6000を設けたことで浮遊電位を打ち消す。

【0079】本構成によりセンサ4000の絶縁破壊や誤動作を防げる。また物体が浮遊電位を持たず、物体の表面電位がほぼ一定でセンサ4000に接触するために、 S/N 比が向上できる。

【0080】実施の形態22. 図30(a)、(b)は実施の形態18による凹凸検出装置の一例を示す図である。4000は凹凸検出センサ、5000は導電性のカバー、6000は導電性のレールである。まず、図30(a)の状態、物体はカバー5000に接触する。カバー5000はレール6000を介して電源に接続されており、物体が持っていた電荷を電源に流す。次に物体の凹凸を読み取るために、カバー5000をレール6000に沿ってスライドさせ、図30(b)の状態になって、物体表面がセンサ4000に接触する。そしてセンサ4000が動作し、物体の凹凸を検出する。このようにして、物体がセンサ4000に接触する前に必ずアースなどに接触するよう、物体がセンサ4000にアクセスする部分に電源に接続された可動な導体を設けたことで浮遊電位を打ち消す。

【0081】本構成により、実施の形態21と同様センサ4000の絶縁破壊や誤動作を防ぎ、また物体が浮遊電位を持たず、物体の表面電位がほぼ一定でセンサ4000に接触するために、 S/N 比が向上できる。また、非検出時はカバー5000は閉じており、センサ4000表面を保護する効果もある。

【0082】

【発明の効果】この発明に係る請求項1記載の凹凸検出センサは、感知電極とこの感知電極近傍の物体との間に形成される容量を電圧または電流に変換する変換回路と、上記感知電極からなる感知素子を縦N行×横M列のアレイ状に配置し、上記感知素子を、上記アレイの各列に沿って配置された走査線と、上記アレイの各行に添って配置された出力線とに接続したので、 S/N 比が高いものが得られる。

【0083】この発明に係る請求項2記載の凹凸検出センサは、変換回路を1個のMOSTランジスタで構成し、このMOSTランジスタのゲート電極を感知電極に、ドレイン電極およびソース電極のうち一方の電極は走査線に、他方の電極は出力線にそれぞれ接続したことにより感知素子の占有面積が減少でき、分解能が向上する。また S/N 比も大幅に向上する。

【0084】この発明に係る請求項3記載の凹凸検出センサは、MOSTランジスタをアモルファスシリコン製MOSTランジスタまたは多結晶シリコン製MOSTランジスタとしたので、出力ダイナミックレンジの向上した凹凸検出センサが得られる。

【0085】この発明に係る請求項4記載の凹凸検出センサは、MOSTランジスタと出力線とを接続する配線に、上記MOSTランジスタの端子から上記出力線への向きが順方向となるようにダイオードを設けたので、出力線の出力信号振幅をMOSTランジスタの閾値以上とする

ことができ、出力ダイナミックレンジを向上させることができる。

【0086】この発明に係る請求項5記載の凹凸検出センサは、MOSトランジスタと出力線とを接続する配線に、上記MOSトランジスタの端子から上記出力線への向きが順方向となるように上記MOSトランジスタとは別のMOSトランジスタを設けたので、出力線の出力信号振幅をMOSトランジスタの閾値以上とすることができ、出力ダイナミックレンジを向上させることができる。

【0087】この発明に係る請求項6記載の凹凸検出センサは、感知電極と変換回路との接続点にスイッチの一端を接続し、このスイッチの他端を、各行に沿って配置されたリセット線に接続したので、本来は浮遊状態にある接続点を、任意の規定電位にリセットできるためにS/N比が向上する。

【0088】この発明に係る請求項7記載の凹凸検出センサは、スイッチを制御端子を有する3端子素子とし、この制御端子を、各列に沿って配置された制御線に接続したので、確実にリセットできる。

【0089】この発明に係る請求項8記載の凹凸検出センサは、スイッチを2端子のダイオードとしたので単純な構成で確実にリセットできる。スイッチの制御に走査信号を用いる。本構成によりセンサの集積度が向上し、S/N比が向上する。

【0090】この発明に係る請求項9記載の凹凸検出センサは、制御線、あるいはリセット線を、隣り合って並ぶ感知素子で共用するようにしたので、センサの集積度が向上し、またS/N比の低下を防げる。

【0091】この発明に係る請求項10記載の凹凸検出センサは、走査線が制御線を兼ねるようにしたのでセンサの集積度が向上し、またS/N比の低下を防げる。

【0092】この発明に係る請求項11記載の凹凸検出センサは、感知電極と変換回路との接続点に、ダイオードの一端を、このダイオードの他端は走査線に、この走査線に走査信号が印加されている時は上記ダイオードがオフとなる向きに接続したので、リセット電位線が無くなるために、センサの集積度が向上する。

【0093】この発明に係る請求項12記載の凹凸検出センサは、トランジスタのゲート電極とドレイン電極を短絡した構成の物をダイオードとして用いたので、ダイオードを造るためのプロセスを無くすことができ、低コストなものを提供できる。

【0094】この発明に係る請求項13記載の凹凸検出センサは、感知素子からのデータを処理する信号処理回路を感知素子と同一の基板に形成したので、S/N比の向上および部品点数の削減が可能である。

【0095】この発明に係る請求項14記載の凹凸検出センサは、感知電極の形状を正方形または長方形とし、アレイ状に配置された上記感知素子のピッチを50μm以下としたので、一定周期で連続した凹凸に対する接地面

積を有効的に増加でき、指紋センサとした場合、分解能が高いものを提供できる。

【0096】この発明に係る請求項15記載の凹凸検出センサは、上記縦N行×横M列のアレイにおいて、N/Mが1以上の時は行方向にアレイを走査し、N/Mが1以下の場合は列方向にアレイを走査するようにしたので、S/N比が高いものを提供できる。

【0097】この発明に係る請求項16記載の凹凸検出センサは、感知電極上に誘電体を堆積させたので、S/N比を改善でき、また感知電極の劣化を保護する効果がある。

【0098】この発明に係る請求項17記載の凹凸検出センサは、誘電体基板上に形成したので、S/N比を改善でき、また基板を高価なSiを用いずにすむのでコストが減少できる。

【0099】この発明に係る請求項18記載の凹凸検出センサは、感知電極を、変換回路および配線とは別層に形成し、かつ物体に近い側に上記感知電極を配置したので、物体が持つ電荷による瞬時電流はこれらの層によって遮られるために、変換回路や周辺回路などの絶縁破壊が防止される。さらに、アレイピッチを縮小できるという効果も得られる。

【0100】この発明に係る請求項19記載の凹凸検出装置は、凹凸検出センサを画像表示デバイスと同一の基板に形成したのでコストが減少できる。

【0101】この発明に係る請求項20記載の指紋照合装置は、請求項1乃至17のいずれかに記載の凹凸検出センサを指紋を検知するセンサとして用いたので、他の演算システムから隔離された場所でも使用でき、また壊れ難いものを提供できる。

【0102】この発明に係る請求項21記載の個人判別装置は、請求項20の指紋照合装置を備えたので、指紋という身体的特徴を認識することでより安全性が飛躍的に向上できる。また壊れ難いものを提供できる。

【0103】この発明に係る請求項22記載の凹凸検出装置は、物体がセンサにアクセスする部分に電源に接続された可動な導体を設けたので、センサの絶縁破壊が防がれ、またS/N比が高いものを提供できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による凹凸検出センサの主要部の構成を示す回路図である。

【図2】 この発明の実施の形態2による凹凸検出センサの主要部の構成を示す回路図である。

【図3】 この発明の実施の形態3による凹凸検出センサの主要部の構成を示す回路図である。

【図4】 この発明の実施の形態4による凹凸検出センサの主要部の構成を示す回路図である。

【図5】 この発明の実施の形態5による凹凸検出センサの主要部の構成を示す回路図である。

【図6】 この発明の実施の形態6による凹凸検出セン

サの主要部の構成を示す回路図である。

【図7】 この発明の実施の形態6による凹凸検出センサの主要部の他の構成を示す回路図である。

【図8】 この発明の実施の形態7による凹凸検出センサの主要部の構成を示す回路図である。

【図9】 この発明の実施の形態7による凹凸検出センサの主要部の他の構成を示す回路図である。

【図10】 この発明の実施の形態8による凹凸検出センサの主要部の構成を示す回路図である。

【図11】 この発明の実施の形態8による凹凸検出センサの主要部の他の構成を示す回路図である。

【図12】 この発明の実施の形態8による凹凸検出センサの主要部のさらに他の構成を示す回路図である。

【図13】 この発明の実施の形態8による凹凸検出センサの主要部のさらに他の構成を示す回路図である。

【図14】 この発明の実施の形態9による凹凸検出センサの主要部の構成を示す回路図である。

【図15】 この発明の実施の形態9による凹凸検出センサの主要部の他の構成を示す回路図である。

【図16】 この発明の実施の形態9による凹凸検出センサの主要部のさらに他の構成を示す回路図である。

【図17】 この発明の実施の形態9による凹凸検出センサの主要部のさらに他の構成を示す回路図である。

【図18】 リセット時の接続点1000の電位変化を示す図である。

【図19】 この発明の実施の形態10による凹凸検出センサの構成を示す回路図である。

【図20】 この発明の実施の形態10による凹凸検出センサの主要部の他の構成を示す回路図である。

【図21】 この発明の実施の形態11による凹凸検出

* センサの主要部の構成を示す回路図である。

【図22】 この発明の実施の形態11による凹凸検出センサの主要部の他の構成を示す回路図である。

【図23】 この発明の実施の形態12による凹凸検出センサを示す回路図である。

【図24】 図23に示した信号処理回路の構成を示す回路図である。

【図25】 図23に示した信号処理回路の他の構成を示す回路図である。

【図26】 この発明の実施の形態17による凹凸検出センサの構成を説明する図である。

【図27】 この発明の実施の形態18による凹凸検出装置の構成を示す図である。

【図28】 この発明の実施の形態19による指紋照合装置の構成を示す図である。

【図29】 この発明の実施の形態21による凹凸検出装置の構成を示す図である。

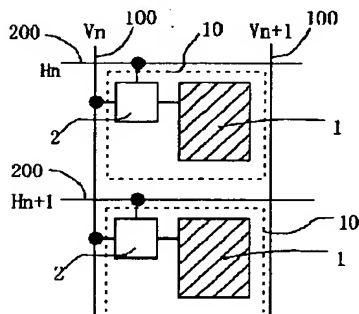
【図30】 この発明の実施の形態22による凹凸検出装置の構成を示す図である。

【図31】 従来の凹凸検出センサの主要部を示す回路図である。

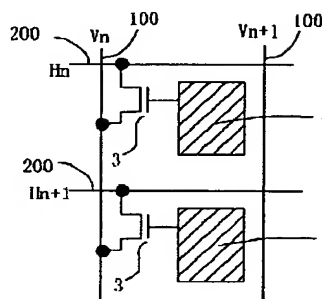
【符号の説明】

1 感知電極、 2 容量-電圧変換回路または容量-電流変換回路、 3, 3a, 3b, 11 MOSトランジスタ、 4 スイッチ、 5, 9 ダイオード、 100 走査線、 200 出力線、 300 リセット線、 400 スイッチの制御端子、 2002 信号処理回路、 10000 画像表示デバイス、 6000, 50000 可動な導体。

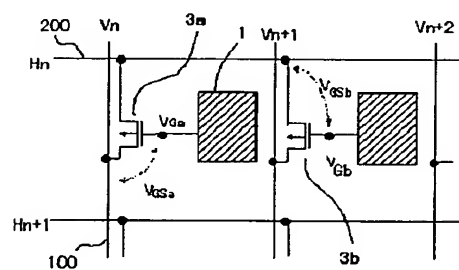
【図1】



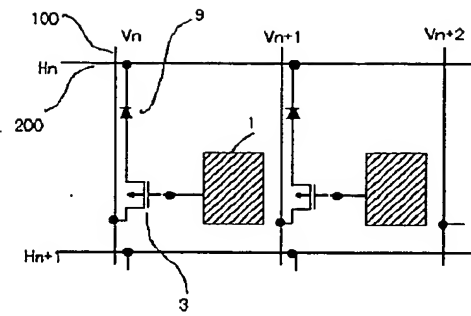
【図2】



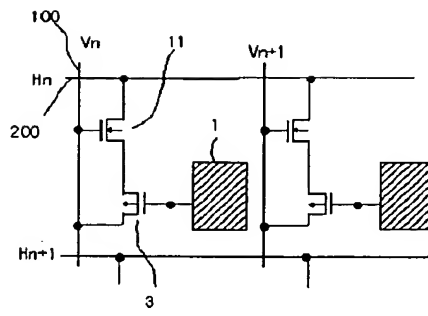
【図3】



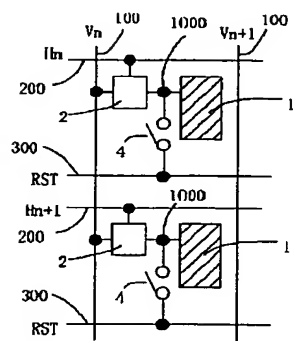
【図 4】



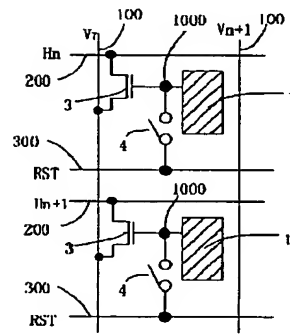
【図 5】



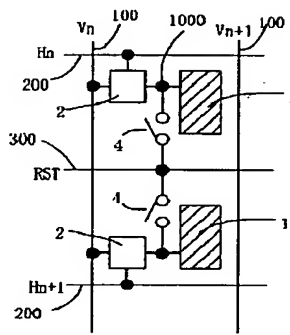
【図 6】



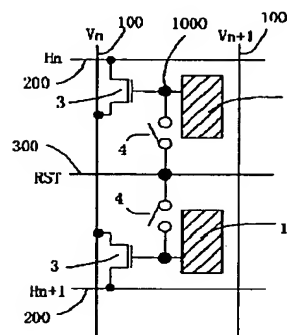
【図 7】



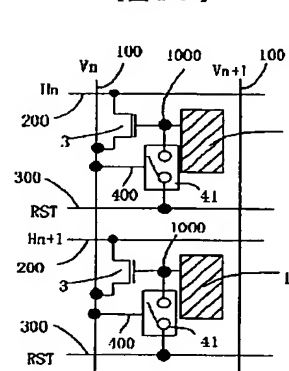
【図 8】



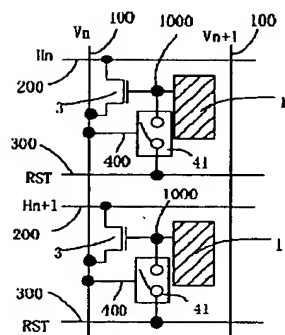
【図 9】



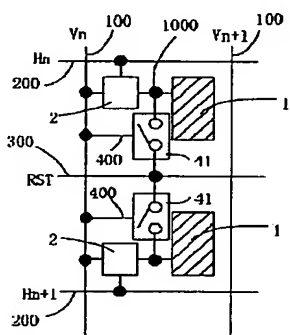
【図 10】



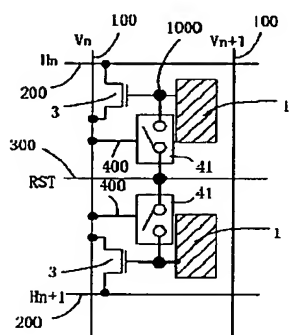
【図 11】



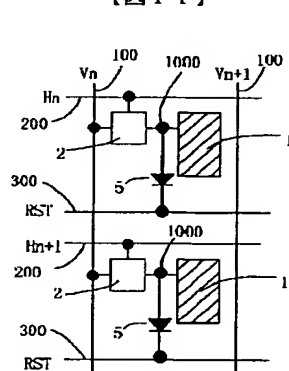
【図 12】



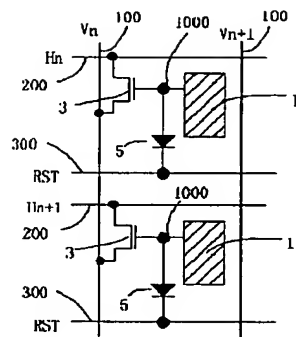
【図 13】



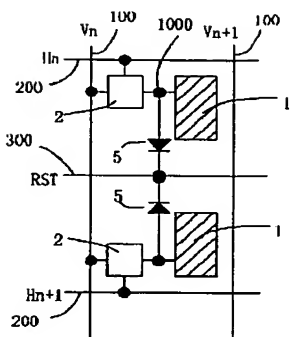
【図 14】



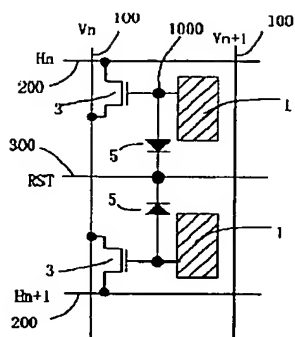
【図15】



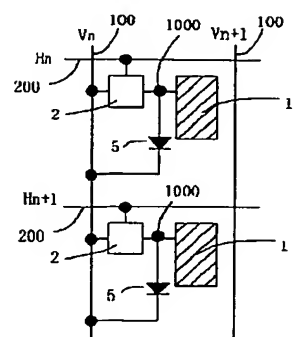
【図16】



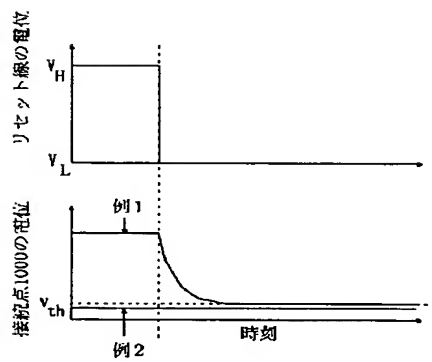
【図17】



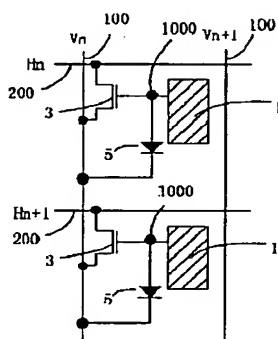
【図19】



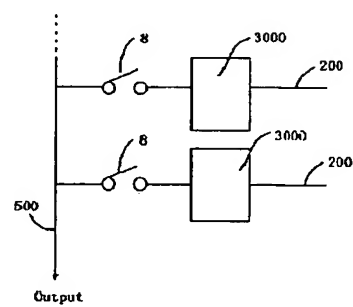
【図18】



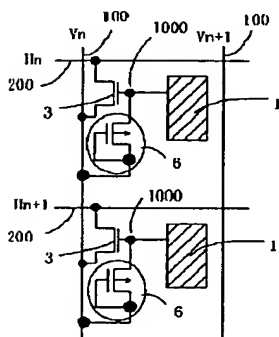
【図20】



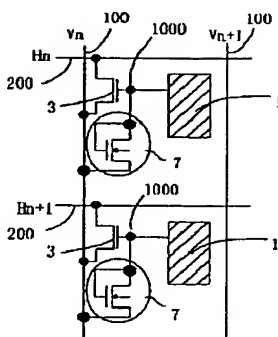
【図24】



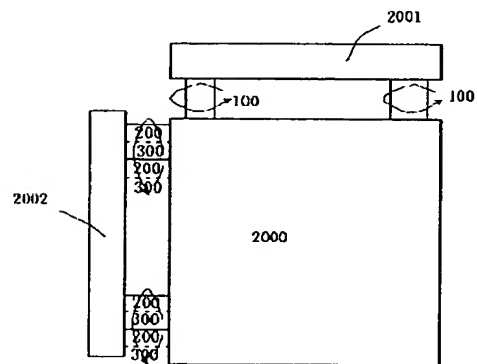
【図21】



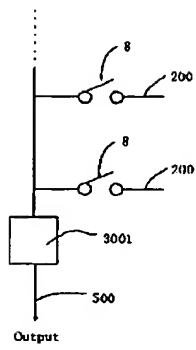
【図22】



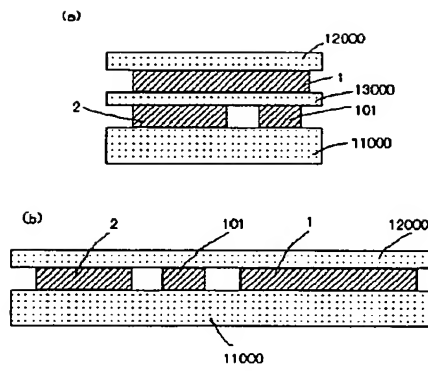
【図23】



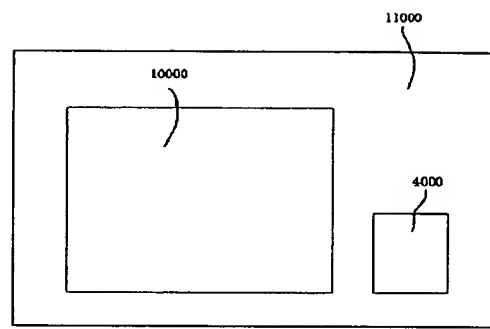
【図25】



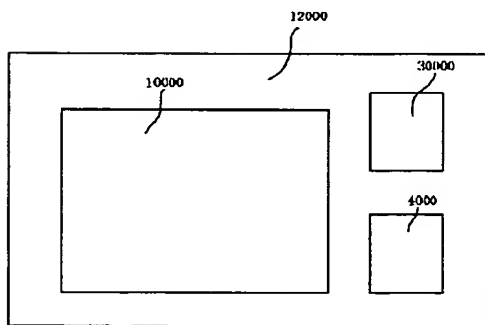
【図26】



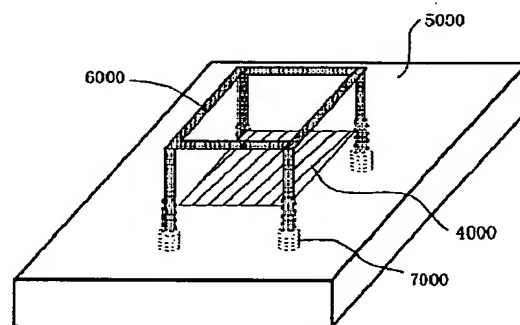
【図27】



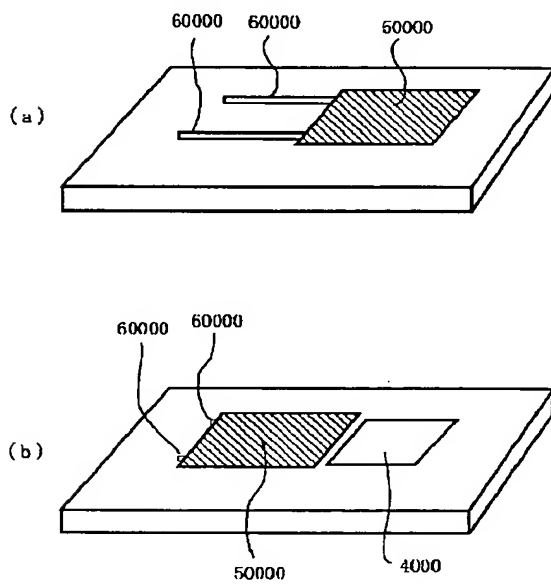
【図28】



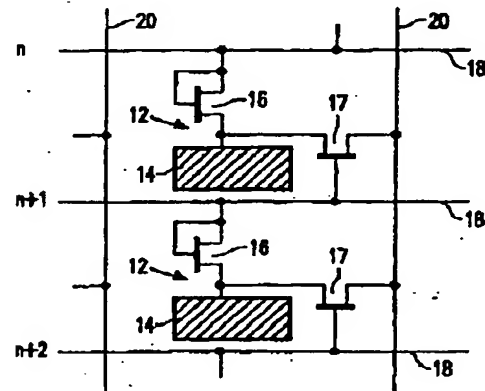
【図29】



【図30】



【図31】



フロントページの続き

(72)発明者 鈴木 昭弘
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 岩田 明彦
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 2F063 AA43 AA50 BA29 BB01 BB02
BD05 BD06 CA08 DA02 DB05
DD07 HA04 HA09 HA11 LA09
4C038 FF01 FG00
5B047 AA25 BB10